

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-120249

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 21/336  
29/784

9056-4M

H01L 29/78

311 P

審査請求 有 請求項の数5(全8頁)

(21)出願番号 特願平3-356299

(22)出願日 平成3年(1991)12月24日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 小玉 光文

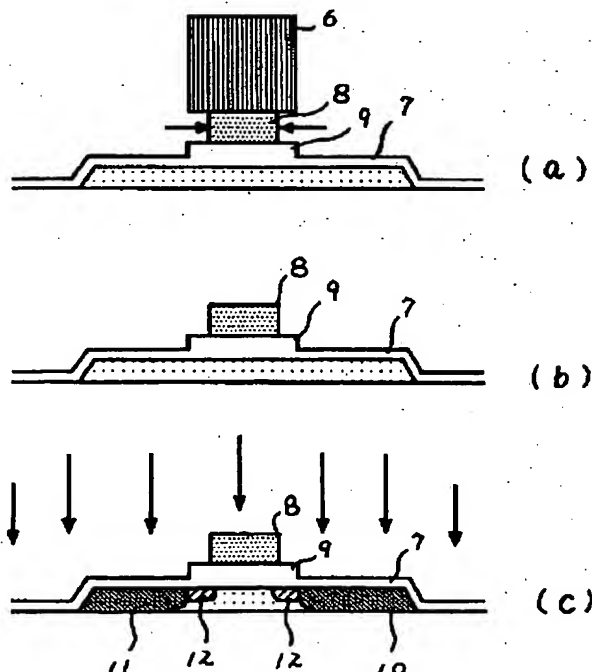
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 MOSトランジスタ作製方法およびその構造

(57)【要約】 (修正有)

【目的】 簡単で、少ない工程数によりLDD構造を持つMOSトランジスタを作製する方法およびその構造を提供する。

【構成】 従来のLDD構造を有するTFTの作製方法で必要であったゲート電極側面のスペーサの代わりに通常のゲート絶縁膜をゲート電極よりチャネル幅方向に幅広く形成し、さらにこのゲート絶縁膜より薄い絶縁膜をその横に形成して、ゲート絶縁膜のゲート電極以外の部分の厚みとその横の薄い絶縁膜との厚みの差を利用して、ゲート電極の端部とソースまたはドレインとの間の半導体膜部分に低濃度の不純物領域を形成するものであります。



## 【特許請求の範囲】

【請求項1】 MOSトランジスタを製造する工程において、トランジスタのチャネル部を構成する半導体膜形成工程と、前記半導体膜上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上にゲイト電極材料を形成する工程の後にゲイト電極をパターンニングし、該パターンニングの際に同時に前記ゲイト絶縁膜の一部をエッチング除去しゲイト絶縁膜より薄い絶縁膜を形成し、前記ゲイト電極のチャネル幅方向を狭めるようにさらにエッチング除去する工程の後に前記ゲイト電極をマスクとして、不純物を導入する工程を有することを特徴とするMOSトランジスタの作製方法。

【請求項2】 請求項1記載のMOSトランジスタの作製方法により、前記ゲイト絶縁膜の薄い部分の前記チャネルを構成する半導体膜には高濃度の不純物が導入され、ゲイト絶縁膜の厚い部分の前記半導体膜には低濃度の不純物が導入されていることを特徴とするMOSトランジスタの作製方法。

【請求項3】 チャネル部を構成する半導体膜とゲイト絶縁膜とゲイト電極とを有するMOSトランジスタであって、前記ゲイト絶縁膜より延長して設けられた薄い絶縁膜と接する半導体膜にはソースまたはドレイン領域を有し、前記ゲイト電極は前記ゲイト絶縁膜よりチャネル幅方向に狭く、前記ゲイト絶縁膜のゲイト電極と接していない領域と接する半導体膜には低濃度の不純物が導入されていることを特徴とするMOSトランジスタ。

【請求項4】 チャネル部を構成する半導体膜とゲイト電極と前記ゲイト電極よりチャネル幅方向に幅の広いゲイト絶縁膜と前記ゲイト絶縁膜より延長して厚さの薄い絶縁膜を前記半導体膜上に有するMOSトランジスタであって、前記ゲイト電極の端部付近の前記ゲイト絶縁膜と接する半導体膜には低濃度の不純物領域が設けられ前記厚さの薄い絶縁膜と接する半導体膜には高濃度の不純物領域が設けられていることを特徴とするMOSトランジスタ。

【請求項5】 請求項3または請求項4に記載の前記ゲイト絶縁膜または厚さの薄い絶縁膜は多層構造を有することを特徴とするMOSトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は主にアクティブマトリクス駆動方式液晶ディスプレイ、イメージセンサー、サーマルヘッドなどに使用される薄膜トランジスタの製造方法及び、この製造方法によって製造された薄膜トランジスタに関する。また、本発明はLSIにおけるMOSトランジスタにも適用可能である。

## 【0002】

【従来の技術】 従来より、薄膜トランジスタ（以下TFTと略す）は小型テレビやコンピューターに用いられる液晶ディスプレイ、ファクシミリ等に用いられるイメー

ジセンサー、サーマルヘッドに用いられてきた。アモルファスシリコン薄膜トランジスタはその製造方法が比較的容易で、大面積化しやすいという特徴があるため、現在最も開発が盛んである。しかしながら、アモルファスシリコンTFTは電子、正孔の移動度がそれぞれ $1\text{ cm}^2/\text{VS}$ 、 $0.1\text{ cm}^2/\text{VS}$ 程度と非常に小さいという欠点を持ち、例えば液晶ディスプレイの一つ一つの画素やイメージセンサーの各ビットをスイッチングする分には大きな問題にはならないが、同じ基板上に駆動回路を構築するためには特にスイッチング速度の面で特性不足である。

【0003】 一方で、小型液晶テレビやイメージセンサーに用いられている多結晶シリコンTFTは電子、正孔移動度ともおよそ $10\text{ cm}^2/\text{VS}$ 以上あり、実際に、駆動回路を構築し、製品化されて市場に出回っているものもある。この多結晶シリコンTFTは通常コプラナ型構造、すなわちゲイト、ソース、ドレイン各電極がすべてシリコンチャネル部に対して基板と反対側にある構造を有している。このような構造のTFTの場合、ソース、ドレイン部分の半導体膜への不純物の導入は、通常はゲイト電極をマスクとしたセルフアラインでイオン注入法やイオンドープ、あるいはプラズマドープと呼ばれる方法により行われる。さらに不純物の活性化を $600^\circ\text{C}$ 程度以上の熱アニール、あるいはレーザーアニールにより行なった後、層間絶縁膜や金属配線等を形成してTFTが完成する。

## 【0004】

【発明が解決しようとする課題】 このようにして作製されるコプラナ型のTFTは図2(a)に示す様な位置関係で不純物領域が設けられた構造をしている。この構造の場合、高濃度のドーピング層20、21がゲイト電極22/ゲイト絶縁膜層23の真横ないし、一部分がゲイト電極に重なって設けられている。このためこのようなTFTを動作させる際にドレイン20近傍に電界が集中して、いわゆるホットキャリアが発生することによりGmの直線性が悪くなったり、また長期的にはGm劣化等のデバイス特性劣化を起こし信頼性が低くなる等の不具合が起こり、さらにドレイン20近傍に存在するバンドギャップの中央付近の準位を介したリーク電流が流れ易いなどの不良が生じた。

【0005】 こうした不具合を解決する手段としてLDD (Lightly doped drain) 構造がLSIでは採用されており、また、近年TFTにおいても検討され、一部採用されてもいる。このような構造のTFTの作製方法は一般的には次のような方法を取る。

【0006】 ①まず、島状にパターンニングされたシリコン上にゲイト酸化シリコン膜23、高濃度に不純物をドーピングしたシリコン膜22を成膜する。次にこれら被膜をパターンニングしてゲイト電極、ゲイト酸化シリコン膜を形成する。不純物をゲイト電極22に覆われていな

い島状シリコン部分（ソース21、ドレイン20部）に $10^{17} \sim 10^{19} \text{ atoms/cm}^3$ 程度の低濃度で導入した後にステップカバレッジの良い成膜方法で酸化シリコン膜24を成膜して図2（b）の状態を得る。このときゲイト部分の側壁には酸化シリコン膜が厚く堆積する。

【0007】②次にこの酸化シリコン膜をRIE（リアクティブ・イオン・エッチング）法などの異方性の高いエッチング法でこの酸化シリコン膜24をエッチングして、ゲイト電極22の側面近傍にこの酸化シリコン膜25を残して図2（c）の状態を得る。このゲイト電極側面の膜厚が厚かった部分は後のドーピング用のスペーサとなる。

【0008】③次に前に作製したゲイト電極22近傍の酸化シリコン膜25（ドーピング用スペーサ）をマスクとして利用し、不純物を高濃度（ $10^{20} \sim 10^{21} \text{ atoms/cm}^3$ 程度）にイオン注入した後に、不純物を活性化させてソース28およびドレイン27を完成するとともに、ゲイト電極22近傍の酸化シリコン膜25の下に、不純物が低濃度で導入されたLDD部26を完成して、図2（d）の状態を得る。以上のようにしてLDD構造を形成することができるが、従来の図2（a）の構造のトランジスタを作製する場合と比較して、①～③の工程が増加し、このため歩留の面でもコストの面でも不利になっていた。

【0009】

【課題を解決するための手段】本発明は前記の問題点を解決し、フォトマスクの増加や成膜工程の大きな追加なしにオフセット構造あるいはLDD（Lightly doped drain）構造を形成することにより、高信頼性、高オフ抵抗の特性を安定して得られる結晶性を有するシリコン薄膜トランジスタを絶縁基板上に製造することを目的としている。

【0010】すなわち、従来のLDD構造を有するTFTの作製方法で必要であったゲイト電極側面のスペーサの代わりに通常のゲイト絶縁膜をゲイト電極よりチャネル幅方向に幅広く形成し、さらにこのゲイト絶縁膜より薄い絶縁膜をその横に形成して、ゲイト絶縁膜のゲイト電極以外の部分の厚みとその横の薄い絶縁膜との厚みの差を利用して、ゲイト電極の端部とソースまたはドレインとの間の半導体膜部分に低濃度の不純物領域を形成するものであります。

【0011】以下に図1を利用して、本発明を説明する。まず、絶縁基板上1に島状の結晶性シリコン活性層2を形成した（図1（a））後に、ゲイト酸化シリコン膜3、ゲイト電極を構成する高濃度に不純物がドーピングされたシリコン膜4を成膜する（図1（b））。次にこのシリコン膜4を異方性の高いエッチング方法でエッチングしてゲイト電極5の一応の外形を形成する（図1（c））。この工程に連続してあるいは若干エッチング条件（例えば、エッチング気体の種類、反応圧力、エッ

チングモード、バイアス電圧等）を変更して、レジストパターン6より露出した酸化シリコン膜3を一部を残してエッチングし（図1（d））。ゲイト絶縁膜3に厚さの薄い部分7をゲイト電極5の両端付近に形成する。

【0012】この後、連続してあるいはエッチングの条件を変更して、ゲイト電極シリコンを酸化シリコン膜との選択性が高く、且つ等方性のエッチング方法でエッチングすると露出しているゲイト電極の側壁方向にエッチングして、ゲイト電極のチャネル幅方向を狭くしてしてゆき、最終的なゲイト電極8の形状を完成する。（図1（e））。この後にレジストパターンを除去して、図1（f）の様なゲイト電極8近傍のゲイト酸化シリコン膜が厚く部分9とそれ以外は十分薄い部分7を有する構造ができあがる。

【0013】この後に、この状態の上からイオン注入法などにより不純物イオンを注入する（図1（g））。このとき各々のゲイト酸化シリコン膜の膜厚に対応した適当な加速電圧とドーズ量を用いて不純物を打ち込むことにより、ゲイト酸化膜の膜厚が薄い部分7の下の活性層シリコンは高濃度に、ゲイト酸化膜の膜厚が厚い部分9の下はLDD構造に適した濃度に不純物がドーピングされ、各々ソースまたはドレイン部10、11とLDD部12が形成される。しかもエッチングで除去されるゲイト酸化シリコン膜の膜厚と残るゲイト酸化シリコン膜の膜厚の差を適当な量に設定する事により、不純物ドーピング工程を1回で済ませる事ができ、且つ半導体膜に導入する不純物の濃度をコントロールすることが可能となる。

【0014】あるいは次のような方法でもこの構造は作製できる。すなわち、前述の作製方法の工程において、図1（d）の工程と図1（e）の工程とを順序を入れ換えて形成する。まず、ゲイト電極シリコンを等方性のエッチング方法でオーバーエッチングを十分コントロールしながらエッチングすると図1（e）の様な構造になる。このレジスト直下のゲイト電極シリコンのアンダーカットは等方性のエッチング時間で制御できる。次に異方性の高いエッチング方法で今度は絶縁膜3を引き続きエッチングを行うとよりレジストパターン6より露出した部分のゲイト酸化シリコンのエッチングが進み、図1（d）の様な構造を形成できる。この後のドーピング工程は上記と同様の方法を行うことでLDD構造のTFTを実現することができる。

【0015】

【作用】本発明の構成により、ゲイト絶縁膜のゲイト電極以外の部分の厚みとその横の薄い絶縁膜との厚みの差を利用して、ゲイト電極の端部とソースまたはドレインとの間の半導体膜部分に低濃度の不純物領域を形成する。

【0016】すなわち、不純物元素を半導体膜中に導入する手段として通常使用されるイオン注入法の場合、そ

の注入する際に他の膜を通して行くと、この膜の厚さに応じて注入された半導体膜における濃度が変化する。この様子を図4に示す。

【0017】本発明はこの半導体膜上の膜の厚みの違いによって、半導体膜に注入される不純物の濃度差を利用して、簡単な構成でLDD構造を実現したものである。つまり、不純物の注入をゲイト絶縁膜をとおして行い、このゲイト絶縁膜の厚さをソートまたはドレイン部分と接しているところは薄く設け、ゲイト電極端部の近くの部分は通常または厚く絶縁膜を設ける。これにより、例えばソースまたはドレイン部分の絶縁膜の厚さが300Åの時は図4より 10 の濃度の不純物が半導体膜中に注入される、一方LDD部分の絶縁膜をゲイト絶縁膜の厚さと同じ1000Åとした場合には図4より

の濃度の不純物が半導体膜に注入され高濃度の不純物の注入と低濃度の不純物の注入とが同一の半導体膜に対して同時に行うことができる。

【0018】従来のLDD構造を持つMOSトランジスタの作製方法は、LDD構造を取らないMOSトランジスタの作製工程に比べて、新たにスペーサーとなる酸化シリコンの成膜及びそのドライエッチング工程、さらに2回目の不純物ドーピングが増加する。すなわち真空処理を行う工程が3回増えるわけである。本発明においてはドライエッチング工程が増えるがこれらの工程は、LDD構造を採用しない従来の作製方法工程に真空を破らずに行う事の出来るプロセスをつけ加える事によって実施が可能であり、その工程増加は非常に小さく、また、不純物ドーピング工程に至っては1回のドーピングで行う事も可能であるため、従来のLDD構造作製方法に比べ大きな相違点と優位性を持つ。

【0019】

【実施例】

『実施例1』 ガラス基板1にパッシベーション膜を形成した後、LPCVD法、プラズマCVD法などによりアモルファスシリコン2を1000Å成膜した。600℃で48時間加熱し、アモルファスシリコン層を固相成長させたのち、フォトリソグラフィにより島状にパターンニングした(図1(a))。ゲイト絶縁膜として酸化シリコン膜3をスパッタ法により1000Å成膜した。このスパッタ工程は酸素ガス100%で行った。さらに 40 LPCVD法、プラズマCVD法などにより、ゲイト電極として燐濃度が $1 \sim 10 \times 10^{20} \text{cm}^{-3}$ 程度のアモルファスシリコン、またはLPCVD法によりポリシリコンを3000~4000Å成膜した(図1(b))。

【0020】この後、シリコン膜4をドライエッチングすると図1(c)のようになる。このエッチング処理はガスとして $\text{CF}_4 + \text{Cl}_2$ 系を用い、RIE(リアクティブ・イオン・エッチング)モードの条件に設定し、処理基板の保持温度を10℃以下好ましくは0℃として行った。引き続き、真空を破らずに、反応ガスを交換し、C

$\text{F}_4 + \text{H}_2$ 系のガスでRIEモードにより酸化シリコン層3を700Åエッチングした。こうして得られた構造が図1(d)である。すなわち、絶縁膜の厚さの薄い部分7がゲイト絶縁膜の横に設けられた構造となっている。

【0021】さらにこのまま真空を破らずに基板を0℃に冷却しつつ反応用のガスを切替え $\text{CF}_4 + \text{O}_2$ 系のガスで等方性のプラズマエッチングを行うと露出している酸化シリコン層7とゲイト電極シリコン膜5のエッチング選択比が数10程度あるため図1(e)の様にシリコン膜5のエッチングが進行する。また、このプラズマエッチングの前に酸化シリコン層エッチング時にゲイト電極の側壁に堆積している側壁保護膜を酸素プラズマでアッシングした方がエッチングの再現性がよい事が分かった。

【0022】この様にしてゲイト電極幅を例えば300Å狭くエッチングしたTFTとしてNMOSTランジスターを作製する場合は不純物元素として燐(P)を例えば加速エネルギー60kVで $2 \times 10^{13} \text{atoms/cm}^2$ のドーズ量に設定してイオン注入する。引き続き加速エネルギー30kVで $5 \times 10^{15} \text{atoms/cm}^2$ のドーズ量イオン注入する。その後不純物活性化工程として例えば600℃で24時間の熱アニールを加える事により、図1(g)のようなLDD構造を有したTFTが得られた。

【0023】この後の工程として400℃で2時間水素処理を行い、層間絶縁膜としてPSGを $\sim 1 \mu\text{m}$ 成膜し、コンタクトホールの開孔を行い、A1電極の成膜とパターンニングを施してLDD構造を持つTFTを完成させる。このように作製されたTFTの特性はゲイト電圧が0Vのときのソース・ドレイン間のリーク電流が $\sim 10^{-9} \text{A}$ 台からおおよそ2~3桁も減少した。また、ドレイン端における電界の集中が緩和され、ゲイト酸化シリコン膜へのキャリア注入が減少したため耐圧が向上した。

【0024】『実施例2』以下は相補型MOSを作製する際の手順である。基本的な作製工程は前述の実施例1に従い、図3(a)の構造を作製する。次に全面に不純物として硼素(B)を例えば加速電圧10kVで $1 \times 10^{15} \text{atoms/cm}^2$ のドーズ量にてドーピングし、PMOSのソースまたはドレイン部分30、31を形成すると同時にLDD32をゲイト電極33の近傍に形成する(図3(b))。さらに図3(c)の様にPMOSTランジスター側をレジスト34で覆い、不純物として燐(P)を例えば加速電圧30kVで $5 \times 10^{15} \text{atoms/cm}^2$ のドーズ量にてドーピングして、NMOSのソースまたはドレイン部分35、36を形成すると同時にLDD37をゲイト電極38の近傍に形成する(図3(c))。

【0025】次にレジストを剥離し、600℃で24時間の活性化の後に、400℃で2時間水素処理を行い、層間絶縁膜39として常圧CVD法で酸化シリコンを約

7

1  $\mu$ m成膜し、コンタクトホールの開孔を行い、A1電極40の成膜とパターニングを施した結果が図3(d)である。これにより、相補型のTFTでLDD構造を有するものを作製することができた。

【0026】以上の実施例においては、ゲイト絶縁膜として単層の材料を使用した、とくにこの構成に限定されることはなく、複数の絶縁材料を多層に積層した構成のゲイト絶縁膜でも本発明を適用可能である。このような場合、ゲイト絶縁膜の横に厚さの薄い絶縁膜をエッチング工程に実現する際に材料が多層で有るためにエッチングの程度に差がでるため、オーバーエッチングを防止できる特徴がある。

【0027】以上の実施例においては、半導体膜および絶縁膜としてシリコン系の材料を使用して説明をおこなったが特にこれらの材料に限定されるものではなく、その他の材料でも同様に本発明を適用可能であり、MOSトランジスタ全てに適用できる。

【発明の効果】本発明の構成をとることにより、簡単な

8

構造でLDD特性を有するMOSトランジスタを工程数の増加なく実現することかてきた。また、使用するマスクの数もふえることがないので、作製コストをひくく抑えることができた。

【図面の簡単な説明】

【図1】本発明のLDD構造を有するMOSトランジスタの作製工程の概略図

【図2】従来のLDD構造を有するMOSトランジスタの構造および作製工程の概略図

10 【図3】本発明のMOSトランジスタの作製方法の応用例

【符号の説明】

7・・・薄い絶縁膜

8・・・ゲイト電極

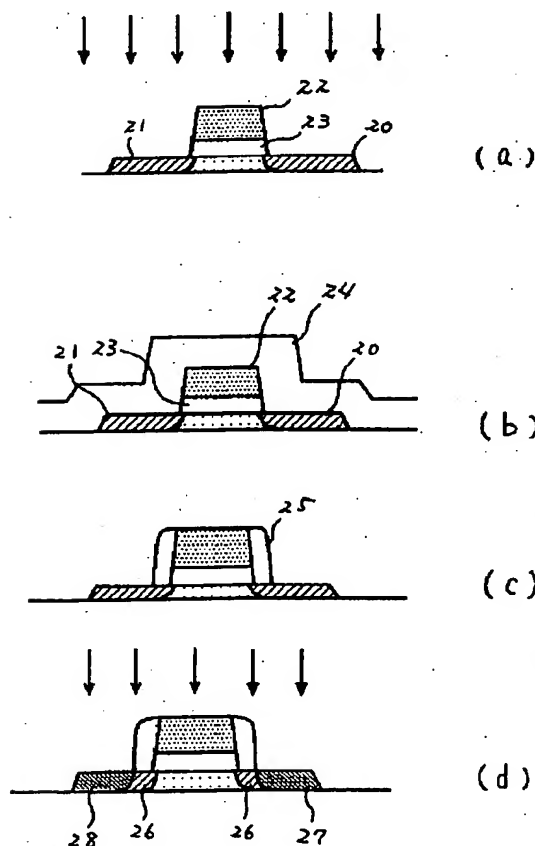
9・・・厚い絶縁膜

10・・・ソース

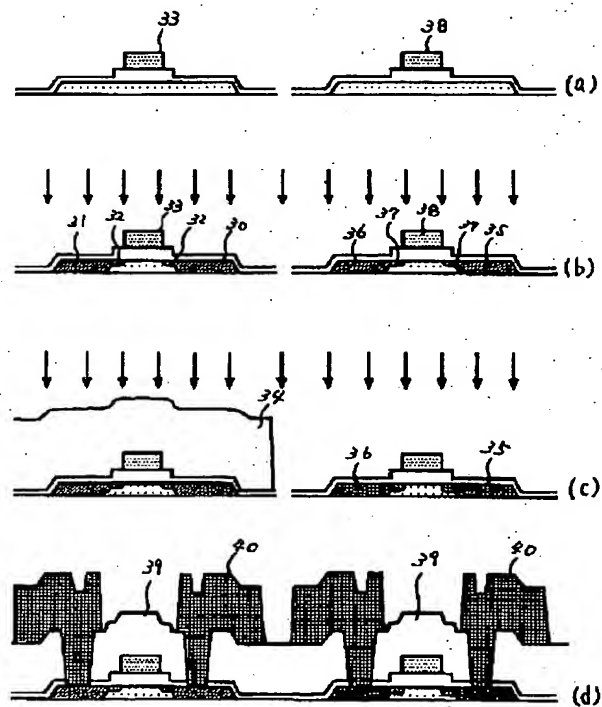
11・・・ドレイン

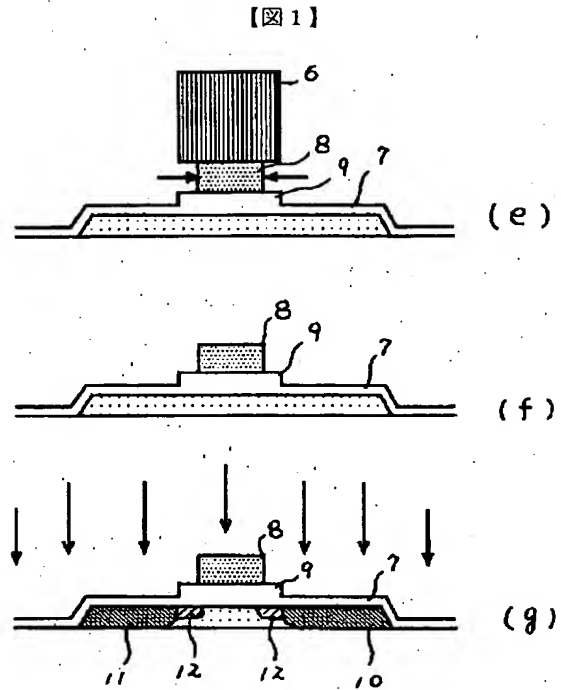
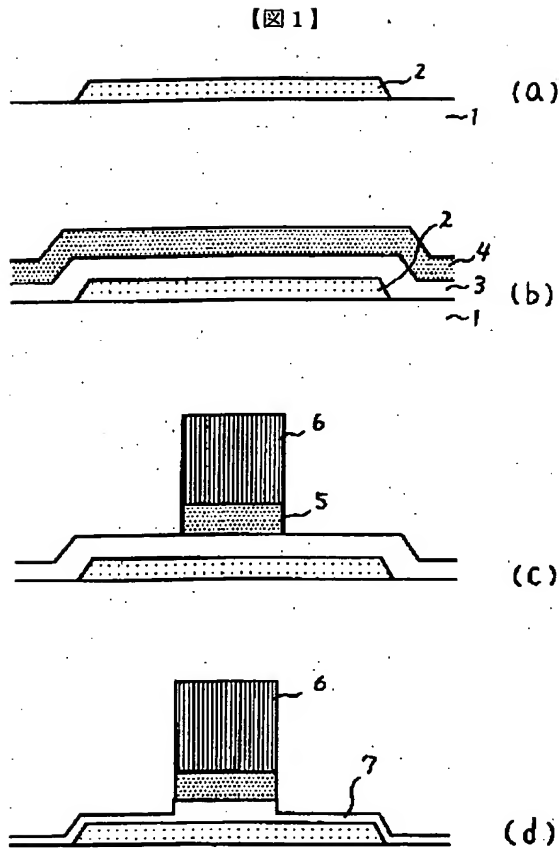
12・・・LDD部

【図2】



【図3】





## 【手続補正書】

【提出日】平成5年9月30日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明のLDD構造を有するMOSトランジスタの作製工程の概略図

【図2】本発明のLDD構造を有するMOSトランジスタの作製工程の概略図

【図3】従来のLDD構造を有するMOSトランジスタの構造および作製工程の概略図

【図4】本発明のMOSトランジスタの作製方法の応用

## 例

## 【符号の説明】

7・・・薄い絶縁膜

8・・・ゲート電極

9・・・厚い絶縁膜

10・・・ソース

11・・・ドレイン

12・・・LDD部

## 【手続補正2】

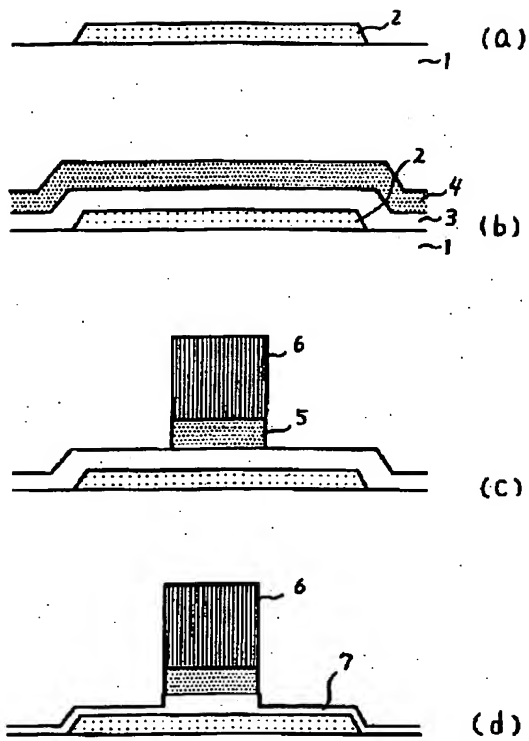
【補正対象書類名】図面

【補正対象項目名】全図

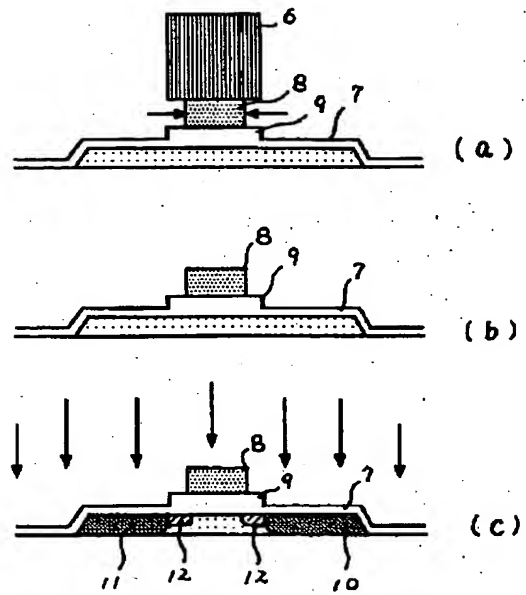
【補正方法】変更

【補正内容】

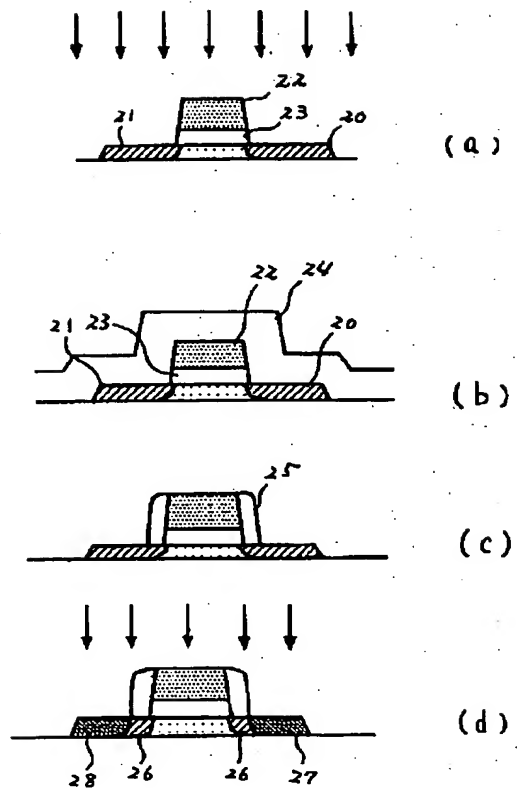
【図1】



【図2】

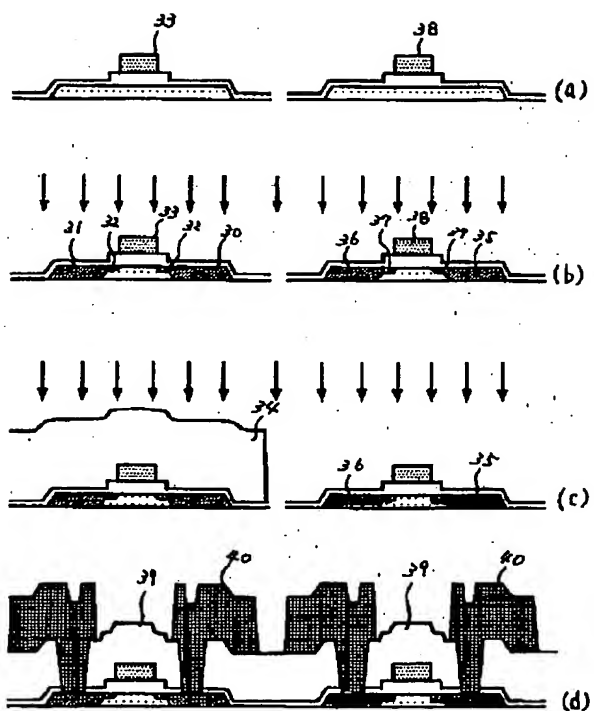


【図3】





【図4】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-120249

(43)Date of publication of application : 28.04.1994

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 03-356299

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD

(22)Date of filing : 24.12.1991

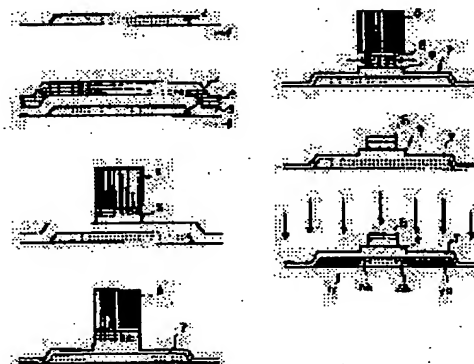
(72)Inventor : KODAMA MITSUFUMI

## (54) MANUFACTURE OF MOS TRANSISTOR AND STRUCTURE THEREOF

## (57)Abstract:

**PURPOSE:** To enable a MOS transistor having LDD characteristics in a simple structure to be manufactured without an increase in the number of steps by forming a low doped region in a semiconductor film part between an end of a gate electrode and a source or a drain by utilizing a difference in thickness between a gate insulating film and a thin insulating film.

**CONSTITUTION:** For manufacture of a MOS transistor, a semiconductor film 2 which constitutes the channel part of the transistor is formed and overlaid with a gate insulating film 3. After the gate insulating film 3 is overlaid with a gate electrode material 4, a gate electrode 5 is patterned, and at the same time with this patterning, the gate insulating film 3 is partially etched off to form an insulating film 7 thinner than the gate insulating film 3. After a further etching such that the gate electrode 5 may be narrowed in the channel width direction, a gate electrode 8 is used as the mask to introduce dopants. For example, low dopants are introduced into a semiconductor film 2 in a thick part of a gate insulating film 9.



## LEGAL STATUS

[Date of request for examination] 26.03.1992

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2564725

[Date of registration] 03.10.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-120249

(43)Date of publication of application : 28.04.1994

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 03-356299

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD

(22)Date of filing : 24.12.1991

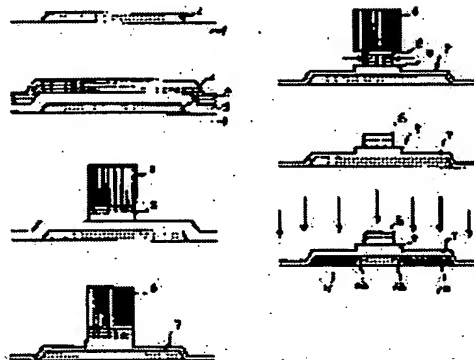
(72)Inventor : KODAMA MITSUFUMI

## (54) MANUFACTURE OF MOS TRANSISTOR AND STRUCTURE THEREOF

## (57)Abstract:

PURPOSE: To enable a MOS transistor having LDD characteristics in a simple structure to be manufactured without an increase in the number of steps by forming a low doped region in a semiconductor film part between an end of a gate electrode and a source or a drain by utilizing a difference in thickness between a gate insulating film and a thin insulating film.

CONSTITUTION: For manufacture of a MOS transistor, a semiconductor film 2 which constitutes the channel part of the transistor is formed and overlaid with a gate insulating film 3. After the gate insulating film 3 is overlaid with a gate electrode material 4, a gate electrode 5 is patterned, and at the same time with this patterning, the gate insulating film 3 is partially etched off to form an insulating film 7 thinner than the gate insulating film 3. After a further etching such that the gate electrode 5 may be narrowed in the channel width direction, a gate electrode 8 is used as the mask to introduce dopants. For example, low dopants are introduced into a semiconductor film 2 in a thick part of a gate insulating film 9.



## LEGAL STATUS

[Date of request for examination]

26.03.1992

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2564725

[Date of registration] 03.10.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] A production process which is characterized by providing the following and which manufactures an MOS transistor A semiconductor film formation production process which constitutes the channel section of a transistor A production process which forms a gate insulator layer on said semiconductor film A production process which carries out patterning of the gate electrode after a production process which forms a gate electrode material on said gate insulator layer, carries out etching removal of said a part of gate insulator layer, forms an insulator layer thinner than a gate insulator layer in coincidence in the case of this patterning, and introduces an impurity by using said gate electrode as a mask after a production process which carries out etching removal further so that the channel width direction of said gate electrode may be narrowed

[Claim 2] A production method of an MOS transistor characterized by introducing a high-concentration impurity into a semiconductor film which constitutes said channel of a thin portion of said gate insulator layer, and introducing a low-concentration impurity into said semiconductor film of a thick portion of a gate insulator layer by the production method of an MOS transistor according to claim 1.

[Claim 3] It is the MOS transistor which is an MOS transistor which has a semiconductor film and a gate insulator layer which constitute the channel section, and a gate electrode, has the source or a drain field on a semiconductor film which touches a thin insulator layer extended and prepared from said gate insulator layer, and is characterized by introducing a low-concentration impurity into a semiconductor film which touches a field which is narrower than said gate insulator layer in the channel width direction as for said gate electrode, and is not in contact with a gate electrode of said gate insulator layer.

[Claim 4] An MOS transistor characterized by establishing a high-concentration impurity range in a semiconductor film which a low-concentration impurity range is established in a semiconductor film which is the MOS transistor which extends in the channel width direction from a large gate insulator layer and said gate insulator layer of width of face, and has an insulator layer with thin thickness on said semiconductor film from a semiconductor film and a gate electrode which constitute the channel section, and said gate electrode, and touches said gate insulator layer near the edge of said gate electrode, and touches an insulator layer with said thin thickness.

[Claim 5] Said gate insulator layer according to claim 3 or 4 or an insulator layer with thin thickness is an MOS transistor characterized by having multilayer structure.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture method of the thin film transistor mainly used for an AKUTIVU matrix drive method liquid crystal display, image sensors, a thermal head, etc., and the thin film transistor manufactured by this manufacture method. Moreover, this invention is applicable also to the MOS transistor in LSI.

[0002]

[Description of the Prior Art] Conventionally, the thin film transistor (it omits Following TFT) has been used for the image sensors and the thermal head which are used for the liquid crystal display used for small television or a computer, facsimile, etc. The manufacture method is comparatively easy for it, and since an amorphous silicon thin film transistor has the feature of large-area-being easy toize, development is the most prosperous in it now. However, although an amorphous silicon TFT does not become a big problem at the part which the mobility of an electron and an electron hole has  $1\text{cm}^2/\text{VS}$ ,  $0.1\text{cm}^2/\text{VS}$  degree, and the defect of being very small, respectively, for example, switches the pixel of each of liquid crystal displays, and each bit of image sensors, especially in order to build a drive circuit on the same substrate, a property is insufficient [ the amorphous silicon ] in respect of switching speed.

[0003] On the other hand, as for the polycrystalline silicon TFT used for a small liquid crystal television or image sensors, an electron and hole mobility also have a \*\*\*\* and the thing which built the drive circuit, was produced commercially and has actually appeared on the market in the commercial scene more than about  $10\text{cm}^2/\text{VS}$ . This polycrystalline silicon TFT usually has coplanar mold structure, i.e., a gate, the source, and the structure that has drain each electrode in a substrate and the opposite side to the silicon channel section altogether. In TFT of such structure, installation of the impurity to the source and the semiconductor film of a drain portion is performed by the method called ion-implantation, an ion dope, or a plasma dope by the self aryne which usually used the gate electrode as the mask. After activating an impurity furthermore by heat annealing about 600 degrees C or more or laser annealing, interlayer insulation film metallurgy group wiring etc. is formed, and TFT is completed.

[0004]

[Problem(s) to be Solved by the Invention] Thus, TFT of the coplanar mold produced is having structure where the impurity range was prepared by physical relationship as shown in drawing 2 (a). In the case of this structure, just beside thru/or a part of 22/gate insulator layer layer 23 of gate electrodes laps with a gate electrode, and the high-concentration doping layers 20 and 21 are formed. For this reason, when operating such TFT, electric field concentrated on about 20 drain, fault, like lifting reliability becomes low about device property deterioration of Gm deterioration etc. in the long run happened [ when the so-called hot carrier occurred, the linearity of Gm worsened, and ], and a defect, like the leakage current through the level near the center of the band gap which exists in about 20 drain further tends to flow arose.

[0005] LDD (Lightly doped drain) structure is adopted by LSI as a means to solve such fault, and TFT is examined in recent years, and even if a part is adopted, it is. Generally the production method of TFT of

this \*\*\*\* structure takes the following methods.

[0006] \*\* Form the silicon film 22 which doped the gate silicon oxide film 23 first on the silicon by which patterning was carried out to the shape of an island, and doped the impurity to high concentration. Next, patterning of these coats is carried out and a gate electrode and a gate silicon oxide film are formed. It is  $10^{17} - 10^{19}$  atoms/cm<sup>3</sup> to the island-like silicon portion (source 21, drain 20 section) which is not covered with the gate electrode 22 in the impurity. After introducing by the low concentration of a degree, the silicon oxide film 24 is formed by the good membrane formation method of step coverage, and the condition of drawing 2 (b) is acquired. At this time, a silicon oxide film accumulates on the side wall of a gate portion thickly.

[0007] \*\* a degree -- this silicon oxide film -- RIE (reactive ion etching) -- etch this silicon oxide film 24 by the high method of etching anisotropies, such as law, leave this silicon oxide film 25 near the side of the gate electrode 22, and acquire the condition of drawing 2 (C). The portion whose thickness of this gate electrode side was thick serves as a spacer for next doping.

[0008] \*\* Use as a mask the about 22 gate electrode [ which was produced before next ] silicon oxide film 25 (spacer for doping). After carrying out the ion implantation of the impurity to high concentration ( $10^{20}$ - $10^{21}$  atoms/cm<sup>3</sup> degree), while activating an impurity and completing the source 28 and a drain 27 The LDD section 26 from which the impurity was introduced into the bottom of the about 22 gate electrode silicon oxide film 25 by low concentration is completed, and the condition of drawing 2 (d) is acquired. Although LDD structure could be formed as mentioned above, as compared with the case where the transistor of the structure of conventional drawing 2 (a) is produced, the production process of \*\* - \*\* increased and, for this reason, it was disadvantageous also in respect of a yield or cost.

[0009]

[Means for Solving the Problem] It aims at manufacturing a silicon thin film transistor which has crystallinity acquired by being stabilized in high-reliability and the property of high off resistance on an insulating substrate by this invention's solving the aforementioned trouble and forming offset structure or LDD (Lightly doped drain) structure without an increment in a photo mask, or a big addition of a membrane formation production process.

[0010] Namely, the usual gate insulator layer is broadly formed instead of a spacer of the required gate electrode side in the channel width direction from a gate electrode by the production method of TFT which has the conventional LDD structure. Form an insulator layer still thinner than this gate insulator layer horizontally [ that ], and a difference of thickness of a thickness and a thin insulator layer of width of portions other than a gate electrode of a gate insulator layer is used. A low-concentration impurity range is formed in an edge of a gate electrode, the source, or a semiconductor film portion between drains.

[0011] This invention is explained below using drawing 1 . First, after forming the crystalline island-like silicon barrier layer 2 in insulating-substrate top 1 ( drawing 1 (a)), the gate silicon oxide film 3 and the silicon film 4 with which an impurity was doped by high concentration which constitutes a gate electrode are formed ( drawing 1 (b)). Next, this silicon film 4 is etched by high etching method of an anisotropy, and a temporary appearance of the gate electrode 5 is formed ( drawing 1 (c)). Etching conditions (for example, a class of etching gas, reaction pressure, etching mode, bias voltage, etc.) are changed a little succeeding this production process, it leaves a part, the silicon oxide film 3 exposed from a resist pattern 6 is etched, and the portion 7 with thin thickness is formed near the both ends of the gate electrode 5 at the gate ( drawing 1 (d)) insulator layer 3.

[0012] Then, it etches in the direction of a side wall of a gate electrode which will have been exposed if conditions of etching are changed in succession and selectivity with a silicon oxide film etches gate electrode silicon by the isotropic etching method highly, and the channel width direction of a gate electrode is narrowed, and is carried out, and a configuration of the final gate electrode 8 is completed. ( Drawing 1 (e)) . A resist pattern is removed next and structure of having the portion 7 thick an about eight gate electrode [ like drawing 1 (f) ] gate silicon oxide film and sufficiently thin a portion 9 and except it is done.

[0013] Impurity ion is poured in with ion-implantation etc. from on this condition next ( drawing 1 (g)).



By driving in an impurity using suitable acceleration voltage and a suitable dose corresponding to thickness of each gate silicon oxide film at this time, an impurity is doped by concentration to which barrier layer silicon under the portion 7 with thin thickness of gate oxide fitted LDD structure at high concentration as for the bottom of the portion 9 with thick thickness of gate oxide, and the source or the drain sections 10 and 11, and the LDD section 12 are formed respectively. And by setting a difference of thickness of a gate silicon oxide film removed by etching, and thickness of a gate silicon oxide film which remains as a suitable amount, it becomes possible to control concentration of an impurity which can finish an impurity doping production process at once, and is introduced into a semiconductor film. [0014] Or this structure is producible also by following methods. That is, in a production process of an above-mentioned production method, sequence is replaced and a production process of drawing 1 (d) and a production process of drawing 1 (e) are formed. First, if gate electrode silicon is etched by the isotropic etching method, controlling over etching enough, it will become structure like drawing 1 (e). An undercut of gate electrode silicon directly under this resist is controllable by isotropic etching time. Next, etching of gate silicon oxide of a portion which exposed an insulator layer 3 from a resist pattern 6 more when etched succeedingly progresses shortly by high etching method of an anisotropy, and structure like drawing 1 (d) can be formed. A next doping production process can realize TFT of LDD structure by performing the same method as the above.

[0015]

[Function] By the configuration of this invention, a low-concentration impurity range is formed in the edge of a gate electrode, the source, or the semiconductor film portion between drains using the difference of the thickness of the thickness and the thin insulator layer of width of portions other than the gate electrode of a gate insulator layer.

[0016] That is, if in the case of the ion-implantation usually used as a means to introduce into a semiconductor film an impurity element is performed through other films in case [ that ] it pours in, the concentration in the semiconductor film poured in according to the thickness of this film will change. This situation is shown in drawing 4.

[0017] By the difference in the thickness of the film on this semiconductor film, this invention realizes LDD structure with an easy configuration using the concentration difference of the impurity poured into a semiconductor film. That is, impregnation of an impurity is performed through a gate insulator layer, the place which is in contact with the sort or the drain portion prepares the thickness of this gate insulator layer thinly, and the portion near the gate electrode edge prepares an insulator layer usually or thickly. Thereby, it is drawing 4 when the thickness of the insulator layer of the source or a drain portion is 300A. It is drawing 4 when [ which, on the other hand, made the insulator layer of a LDD portion the same 1000A as the thickness of a gate insulator layer ] the impurity of concentration is poured in into a semiconductor film. The impurity of concentration is poured into a semiconductor film and impregnation of a high-concentration impurity and impregnation of a low-concentration impurity can carry out to coincidence to the same semiconductor film.

[0018] Compared with the production production process of a MOS transistor of not taking LDD structure, membrane formation and its dry etching production process of the silicon oxide which newly serves as a spacer, and the 2nd [ further ] impurity doping increase the production method with the conventional LDD structure of an MOS transistor. That is, the production process which performs vacuum processing increases 3 times. Although a dry etching production process increases in this invention, these production processes can be carried out by adding the process which can be performed without breaking a vacuum to the conventional production method production process which does not adopt LDD structure, and since it is also possible to carry out with one doping if it is very small and results in an impurity doping production process, the increment in a production process has big difference and a big predominance compared with the conventional LDD structure production method.

[0019]

[Example]

"example 1" LPCVD after forming a passivation film in a glass substrate 1 -- 1000A of amorphous silicons 2 was formed by law, a plasma-CVD method, etc. After heating at 600 degrees C for 48 hours

and carrying out solid phase growth of the amorphous silicon layer, patterning was carried out to the shape of an island with photolithography ( drawing 1 (a)). 1000Å of silicon oxide film 3 was formed by the sputter as a gate insulator layer. 100% of oxygen gas performed this sputter production process. Furthermore, 3000-4000Å of polysilicon was formed as a gate electrode by the LPCVD method, the plasma-CVD method, etc. by the amorphous silicon whose phosphorus concentration is about [ one to  $10 \times 10^{20} \text{cm}^{-3}$  ], or the LPCVD method ( drawing 1 (b)).

[0020] Then, if dry etching of the silicon film 4 is carried out, it will become like drawing 1 (c). This etching processing is  $\text{CF}_4 + \text{Cl}_2$  as gas. Using the system, it was set as the conditions in RIE (reactive ion etching) mode, and 10 degrees C or less of retention temperature of a processing substrate were preferably performed as 0 degree C. Then, without breaking a vacuum, reactant gas was exchanged and 700Å of silicon oxide layer 3 was etched with RIE mode by the gas of a  $\text{CF}_4 + \text{H}_2$  system. In this way, the acquired structure is drawing 1 (d). That is, the portion 7 with the thin thickness of an insulator layer has structure prepared beside the gate insulator layer.

[0021] The gas for a reaction is changed cooling a substrate at 0 degree C without furthermore breaking a vacuum as it is, and it is  $\text{CF}_4 + \text{O}_2$ . For a certain reason, etching of the silicon film 5 advances [ the etch selectivity of the silicon oxide layer 7 and the gate electrode silicon film 5 which will have been exposed if plasma etching isotropic by the gas of a system is performed ] like drawing 1 (e) about several ten. Moreover, it turned out before this plasma etching that the repeatability of etching of the direction which carried out ashing of the side wall protective coat deposited on the side wall of a gate electrode at the time of silicon oxide layer etching with the oxygen plasma is good.

[0022] Thus, when it is referred to as TFT which etched narrowly 3000Å of gate electrode width of face, for example and produces an NMOS transistor, the ion implantation of the phosphorus (P) is set up and carried out to the dose of  $2 \times 10^{13} \text{ atoms/cm}^2$  for example, by acceleration energy 60kV as an impurity element. succeeding -- acceleration energy 30kV -- the dose ion implantation of  $5 \times 10^{15} \text{ atoms/cm}^2$  -- it carries out. By adding heat annealing of 24 hours at 600 degrees C as an impurity activation production process after that, TFT with LDD structure like drawing 1 (g) was obtained.

[0023] Hydrogen processing is performed at 400 degrees C as a next production process for 2 hours, -1 micrometer of PSGs is formed as an interlayer insulation film, a contact hole is punctured, and TFT which performs membrane formation and patterning of aluminum electrode and has LDD structure is completed. Thus, as for the property of produced TFT, figures triple [ 2- ] also decreased [ the leakage current between source drains in case gate voltage is 0V ] about from the -10-9A set. Moreover, concentration of the electric field in a drain edge was eased, and since the carrier impregnation to a gate silicon oxide film decreased, pressure-proofing improved.

[0024] Below the "example 2" is a procedure at the time of producing complementary MOS. A fundamental production process produces the structure of drawing 3 (a) according to the above-mentioned example 1. Next, it is boron (B) at the acceleration voltage of 10kV as an impurity to the whole surface  $1 \times 10^{15} \text{ atoms/cm}^2$  It dopes with a dose, and LDD32 is formed near the gate electrode 33 at the same time it forms the source or the drain portions 30 and 31 of PMOS ( drawing 3 (b) ). It is phosphorus (P) at the acceleration voltage of 30kV as a cover and an impurity in a resist 34 about a PMOS transistor side still like drawing 3 (c)  $5 \times 10^{15} \text{ atoms/cm}^2$  It dopes with a dose, and LDD37 is formed near the gate electrode 38 at the same time it forms the source or the drain portions 35 and 36 of NMOS ( drawing 3 (c) ).

[0025] Next, the result of having exfoliated the resist, having performed hydrogen processing at 400 degrees C for 2 hours after being activated [ of 24 hours ] at 600 degrees C, having formed about 1 micrometer of silicon oxide with the ordinary pressure CVD method as an interlayer insulation film 39, having punctured the contact hole, and having performed membrane formation and patterning of the aluminum electrode 40 is drawing 3 (d). Thereby, what has LDD structure by TFT of a complementary type was producible.

[0026] In the above example, although the material of a monolayer was used as a gate insulator layer, the gate insulator layer of a configuration of it not being limited to especially this configuration and having carried out the laminating of two or more insulating materials to the multilayer can also apply

this invention. In such a case, since there is a material by the multilayer in case an insulator layer with thin thickness is realized at an etching production process beside a gate insulator layer, in order that a difference may appear in the degree of etching, there is the feature which can prevent over etching.

[0027] In the above example, especially although it explains as a semiconductor film and an insulator layer using the material of a silicon system, it is not limited to these materials, and other materials can apply this invention similarly and can be applied to all MOS transistors.

[Effect of the Invention] Realizing-without the increment in routing counter of MOS transistor which has LDD property with easy structure by taking configuration of this invention food \*\*\*\*. Moreover, since the number of the masks to be used did not increase, either, \*\*\*\*\* which pulls production cost was made.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The schematic diagram of the production process of the MOS transistor which has the LDD structure of this invention

[Drawing 2] The structure of the MOS transistor which has the conventional LDD structure, and the schematic diagram of a production process

[Drawing 3] The application of the production method of the MOS transistor of this invention

[Description of Notations]

7 ... Thin insulator layer

8 ... Gate electrode

9 ... Thick insulator layer

10 .. Source

11 .. Drain

12 .. The LDD section

---

[Translation done.]

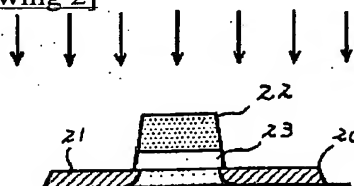
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

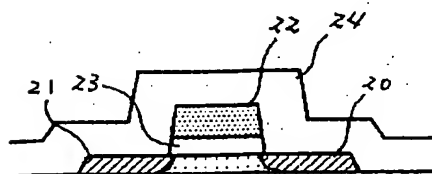
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 2]



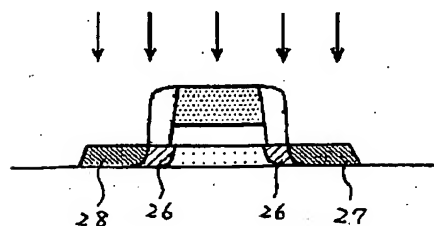
(a)



(b)

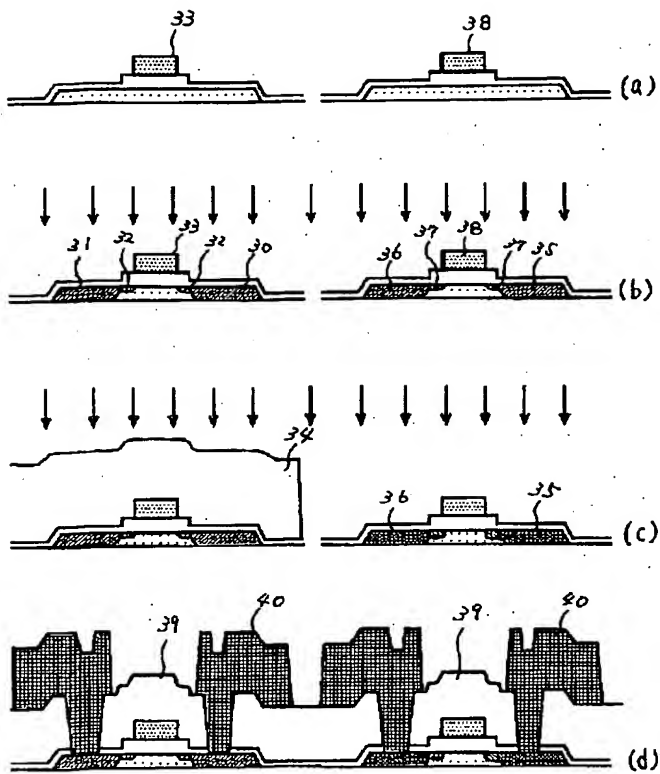


(c)

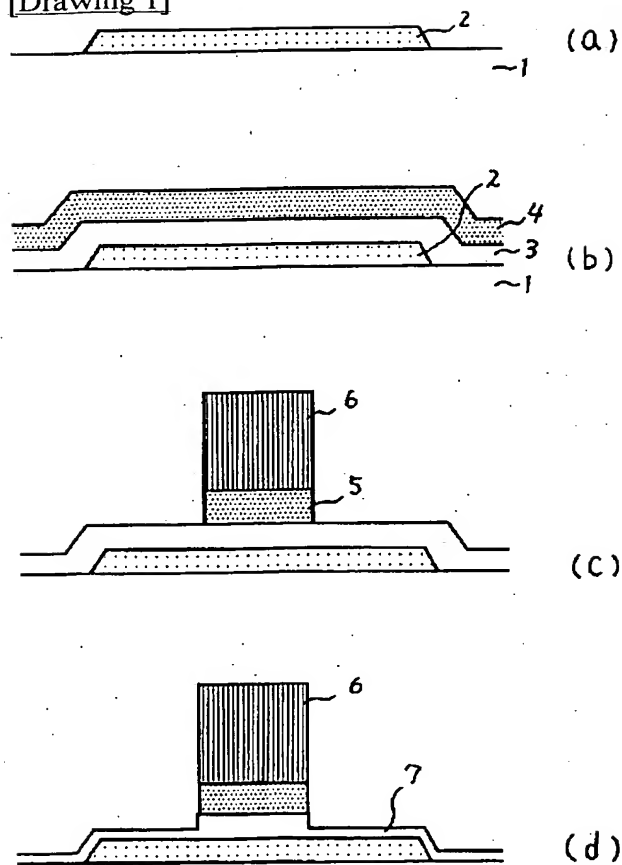


(d)

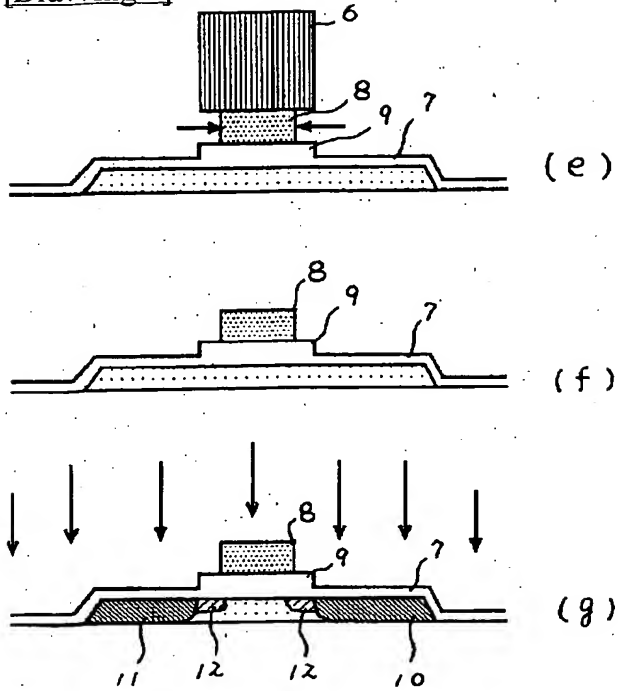
[Drawing 3]



[Drawing 1]



[Drawing 1]



[Translation done.]